



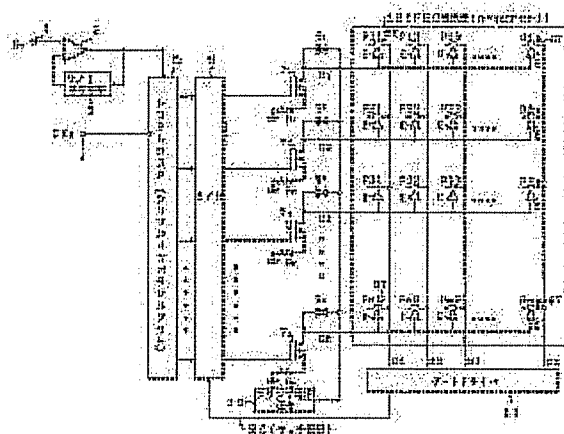
**DISPLAY DEVICE****Publication number:** JP9292858 (A)**Publication date:** 1997-11-11**Inventor(s):** KAMINUMA MITSUO [JP]**Applicant(s):** FUTABA DENSHI KOGYO KK [JP]**Classification:**

**- international:** G09G3/20; G09G3/22; G09G3/30; G09G3/32; H01L51/50; H05B33/12; H05B33/14; G09G3/20; G09G3/22; G09G3/30; G09G3/32; H01L51/50; H05B33/12; H05B33/14; (IPC1-7): G09G3/22; G09G3/30; H01J31/12

**- European:** G09G3/20G2; G09G3/22; G09G3/32A; G09G3/32A6

**Application number:** JP19960126288 19960424**Priority number(s):** JP19960126288 19960424**Also published as:** US6091381 (A) FR2748146 (A1)**Abstract of JP 9292858 (A)**

**PROBLEM TO BE SOLVED:** To improve the quality of display image by supplying a drain current, which is obtained in response to the voltage of the video signal applied to a gate of each FET element, as drive current to each cathode. **SOLUTION:** Latch signal RC is supplied to a sample/hold circuit 6 from a gate driver 11 for performing the vertical scanning for image display, and during the time regulated by the latch signal, namely, per each horizontal period, video signal of one horizontal line is written for change. Hold output voltage from the sample/hold circuit 6 is applied to a gate of MOS type FET 71 -7n as a field effect transistor. Drain current of the MOS type FET 71 -7n is supplied as the drive current to each of cathodes C1 -Cn . In this case, the MOS type FET 71 -7n having an insulating gate are used so as to hold the hold output from the sample/hold circuit 6 without generating a change within one horizontal period.



Data supplied from the esp@cenet database — Worldwide

## Family list

4 application(s) for: JP9292858

**1 Electro-luminescent field-emission display panel**

**Inventor:** MITSUO UENUMA [JP]      **Applicant:** FUTABA DENSHI KOGYO KK [JP]  
**EC:** G09G3/20G2; G09G3/22; (+2)      **IPC:** G09G3/20; G09G3/22; G09G3/30; (+15)  
**Publication info:** FR2748146 (A1) — 1997-10-31  
FR2748146 (B1) — 1998-10-16

**2 DISPLAY DEVICE**

**Inventor:** KAMINUMA MITSUO [JP]      **Applicant:** FUTABA DENSHI KOGYO KK [JP]  
**EC:** G09G3/20G2; G09G3/22; (+2)      **IPC:** G09G3/20; G09G3/22; G09G3/30; (+14)  
**Publication info:** JP9292858 (A) — 1997-11-11

**3 Display device**

**Inventor:** UENUMA MITSUO [JP]      **Applicant:** FUTABA DENSHI KOGYO KK [JP]  
**EC:** G09G3/20G2; G09G3/22; (+2)      **IPC:** G09G3/20; G09G3/22; G09G3/30; (+12)  
**Publication info:** US6091381 (A) — 2000-07-18

**4 Display device**

**Inventor:** UENUMA MITSUO [JP]      **Applicant:** FUTABA DENSHI KOGYO KK [JP]  
**EC:** G09G3/20G2; G09G3/22; (+2)      **IPC:** G09G3/20; G09G3/22; G09G3/30; (+12)  
**Publication info:** US6137458 (A) — 2000-10-24

---

Data supplied from the esp@cenet database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-292858

(43) 公開日 平成9年(1997)11月11日

| (51) Int.Cl. <sup>6</sup> | 識別記号 | 庁内整理番号  | F I           | 技術表示箇所 |
|---------------------------|------|---------|---------------|--------|
| G 0 9 G 3/22              |      | 4237-5H | G 0 9 G 3/22  |        |
|                           | 3/30 | 4237-5H | 3/30          | K      |
| H 0 1 J 31/12             |      |         | H 0 1 J 31/12 | C      |

審査請求 未請求 請求項の数6 F D (全9頁)

(21) 出願番号 特願平8-126288

(22) 出願日 平成8年(1996)4月24日

(71) 出願人 000201814

双葉電子工業株式会社  
千葉県茂原市大芝629

(72) 発明者 上沼 光男

千葉県茂原市大芝629 双葉電子工業株式  
会社内

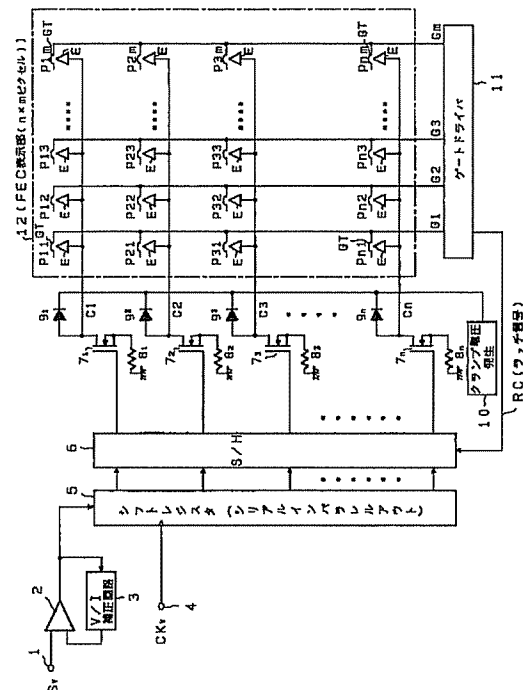
(74) 代理人 弁理士 脇 篤夫 (外1名)

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 入力されたビデオ信号に応じた無段階の階調表現を実現し、表示画像の品位を飛躍的に向上させる。

【解決手段】 FED表示装置や有機EL表示装置として、表示駆動回路において、各カソード電極に対してFET素子が設けられ、各FET素子のゲートに印加されるビデオ信号の電圧に応じて得られるドレイン電流がドライブ電流として各カソード電極に供給されるように構成する。さらに各FET素子に印加するビデオ信号に対して、FET素子のゲートソース電圧ードレイン電流特性の逆特性を与えるビデオ信号補正回路を設ける。これにより、FET素子の定電流特性を利用し、入力されるビデオ信号レベルとドライブ電流との間で直線性特性を実現し、ビデオ信号レベルに応じてカソード電流がコントロールされるようにする。



【特許請求の範囲】

【請求項 1】 ストライプ状に形成され、電界放出を行なうエミッタを備える複数のカソード電極と、前記カソード電極と直交方向にストライプ状に形成される複数のゲート電極と、前記エミッタから放出される電子を捕集するアノード電極とを備え、マトリクス状に表示ピクセルが形成される F E D 表示部と、

前記ゲート電極の順次ドライブと、水平ライン毎のビデオ信号に基づいた前記カソード電極のドライブを行なうことで前記 F E D 表示部の画像表示を実行させる表示駆動回路とを有し、

前記表示駆動回路は、前記各カソード電極に対して F E T 素子が設けられ、該各 F E T 素子のゲートに印加されるビデオ信号の電圧に応じて得られるドレイン電流がドライブ電流として前記各カソード電極に供給されるように構成されていることを特徴とする表示装置。

【請求項 2】 前記各 F E T 素子に印加するビデオ信号に対して、前記 F E T 素子のゲートソース電圧ードレイン電流特性の逆特性を与えるビデオ信号補正回路が設けられていることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】 前記ビデオ信号補正回路は、前記各 F E T 素子に印加するビデオ信号に対して、前記 F E D 表示部の非線形特性に対する特性補正も行なうことを特徴とする請求項 2 に記載の表示装置。

【請求項 4】 ストライプ状に形成される複数のカソード電極と、前記カソード電極と直交方向にストライプ状に形成される複数のアノード電極とを備え、マトリクス状に表示ピクセルが形成される有機エレクトロルミネセンス表示部と、

前記アノード電極の順次ドライブと、水平ライン毎のビデオ信号に基づいた前記カソード電極のドライブを行なうことで前記有機エレクトロルミネセンス表示部の画像表示を実行させる表示駆動回路とを有し、

前記表示駆動回路は、前記各カソード電極に対して F E T 素子が設けられ、該各 F E T 素子のゲートに印加されるビデオ信号の電圧に応じて得られるドレイン電流がドライブ電流として前記各カソード電極に供給されるように構成されていることを特徴とする表示装置。

【請求項 5】 前記各 F E T 素子に印加するビデオ信号に対して、前記 F E T 素子のゲートソース電圧ードレイン電流特性の逆特性を与えるビデオ信号補正回路が設けられていることを特徴とする請求項 4 に記載の表示装置。

【請求項 6】 前記ビデオ信号補正回路は、前記各 F E T 素子に印加するビデオ信号に対して、前記有機エレクトロルミネセンス表示部の非線形特性に対する特性補正も行なうことを特徴とする請求項 5 に記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はマトリクス状に配置された走査電極を有する画像表示装置に関し、特に電界放出型カソードを用いた F E D 表示装置や、有機エレクトロルミネセンス（以下有機 E L）表示装置に適用して好適なものである。

【0002】

【従来の技術】 金属または半導体表面の印加電界を 10

<sup>9</sup> [V/m] 程度にするとトンネル効果により、電子が障壁を通過して常温でも真空中に電子放出が行われる。これを電界放出（Field Emission）と云い、このような原理で電子を放出するカソードを電界放出カソード（Field Emission Cathode）と呼んでいる。近年、半導体加工技術を駆使して、ミクロンサイズの電界放出カソードからなるアレイを用いて、面放出型の電界放出カソードを作成することが可能となり、このような電界放出カソードを用いた画像表示装置（F E D 表示装置）の研究開発が行われている。

【0003】 また、他の表示デバイスの 1 つとして、或る種の蛍光体に電界を加えると発光するエレクトロルミネセンスという現象に基づき、有機化合物を発光層に使用した有機 E L 表示装置についても研究開発が行なわれている。

【0004】

【発明が解決しようとする課題】 ところで、これらの表示装置の開発課題の 1 つとして、表示品位を上げるために良好な階調表現を実現するということがある。入力ビデオ信号に応じて発光輝度を制御し、良好な階調表現を実現するには、例えば入力ビデオ信号の値に基づいてパルス幅変調（P W M）を行なった信号をドライブ信号とする方式がある。この場合、入力ビデオ信号の値に応じて各画素ピクセルの発光時間がコントロールされることになるため、階調表現が行なわれることになる。

【0005】 ところでこの場合は一般に、入力ビデオ信号を A/D 変換し、そのデジタルデータとカウンタのカウンタ値との一致を検出することでパルス幅変調を行なうことになるが、實際上、配線数やカウンター用クロックの周波数の制限などから、A/D 変換は 6 ビット程度、つまり 64 階調程度が限界となってしまう、例えば 8 ビットで 256 階調を表現したり、それ以上の階調を実現することは非常に困難なものとなっていた。即ち P W M 方式では階調表現に実用上の限界があり、飛躍的な表示の高品位化は望めなかった。

【0006】 また他の方式としてドライブ電圧、即ち F E D 表示装置におけるゲートカソード間電圧や、有機 E L 表示装置におけるアノードカソード間電圧を変調することで階調表現を行なうパルス振幅変調（P A M）方式も考えられている。しかしながら、F E D 表示装置や有機 E L 表示装置におけるアノード電流特性上のアノード電流立上り点電圧のバラツキ（各画素ピクセル毎のバラツキ）や駆動回路の温度特性、電力損失の点などが

ら、階調を精密にコントロールできず、良好な表示品位が得られなかった。

【0007】

【課題を解決するための手段】本発明はこのような問題点を鑑みて、入力されたビデオ信号に応じた無段階の階調表現を実現し、表示画像の品位を飛躍的に向上させることを目的とする。

【0008】このためFED表示装置や有機エレクトロルミネセンス表示装置としては、表示駆動回路において、各カソード電極に対してFET素子が設けられ、各FET素子のゲートに印加されるビデオ信号の電圧に応じて得られるドレイン電流がドライブ電流として各カソード電極に供給されるように構成する。さらに各FET素子に印加するビデオ信号に対して、FET素子のゲートソース電圧ドレイン電流特性の逆特性を与えるビデオ信号補正回路を設ける。つまり、FET素子の定電流特性を利用すると共に、入力されるビデオ信号レベルとドライブ電流との間で直線性特性を実現し、ビデオ信号レベルに応じてカソード電流がコントロールされるようにする。

【0009】

【発明の実施の形態】以下、本発明の第1の実施の形態としてのFED表示装置を図1～図5を参照して説明する。まずFED表示装置に用いる電界放出カソード（FEC）として、図4に半導体加工技術により作成されたスピント（Spindt）型と呼ばれる電界放出カソード（FEC）を示す。

【0010】この図4に示すように、FECはガラス等の基板Kの上にアルミニウム等の金属からなるカソード電極Cが蒸着により形成されており、このカソード電極C上にモリブデン等の金属からなるコーン状のエミッタEが形成されている。カソード電極C上のエミッタEが形成されていない部分には二酸化シリコン（ $\text{SiO}_2$ ）膜が形成され、さらにその上にはゲートGTが形成されており、ゲートGT及び二酸化シリコン膜に設けられた丸い開口部の中に上記コーン状のエミッタEが位置している。すなわち、このコーン状のエミッタEの先端部分がゲートGTに設けられた開口部から臨む構成とされている。

【0011】このコーン状のエミッタEのエミッタ間のピッチは10ミクロン以下とすることができ、数万から数10万個のエミッタEを1枚の基板K上に設けることができる。さらに、ゲートGTとエミッタEのコーンの先端との距離をサブミクロンとすることができるため、ゲートGTとエミッタE（カソード電極C）間とに僅か数10ボルトのゲート・エミッタ間電圧 $V_{ge}$ を印加することにより、電子をエミッタEから放出することができる。この電界放出された電子はゲート上に離隔して正の電圧 $V_A$ が印加されたアノードAを対向して設けておくと、このアノードAにより捕集することができる。

【0012】このようなFECのアノード電流 $I_a$ 。ゲート・カソード間電圧 $V_{gc}$ 特性を図5に示す。この図5に示すように、ゲート・カソード間電圧 $V_{gc}$ が徐々に上昇していくと、アノード電流 $I_a$ が流れ始めるようになる。この電流 $I_a$ が流れ始める電圧 $V_{gc}$ を閾値電圧 $V_{th}$ と云い、この時にゲート・カソード間の電界が約 $10^6$  [V/m]程度となるためエミッタEから電子が放出され始める。これにより、アノード電流 $I_a$ がアノードAに流れ始めるのである。一般に、ゲート・カソード間には閾値電圧 $V_{th}$ よりかなり高い図示する $V_{op}$ 程度の電圧が印加されており、この時アノードAにはアノード電流 $I_{op}$ が流れるようにされている。

【0013】そして、コーン状のエミッタEの1つから得られるアノード電流は約1マイクロアンペアと小さい電流であるため、多数のエミッタEをアレイ化することにより所望のアノード電流の得られるFECとしている。この場合、アノードに蛍光体を設けておくとエミッタから電界放出された電子が捕集されるアノードの蛍光体の部分を発光させることが出来る。このような原理を利用することにより、FECを用いた画像表示装置、即ちFED表示装置を実現できる。

【0014】このような原理を用いたFED表示装置のブロック図の一例を図1に示す。FEC表示部12は、図4で説明した原理で表示が実行される部位であり、エミッタE及びゲートGTで1単位の画素ピクセルが形成される。この場合、表示領域は $n \times m$ ピクセルで形成され、即ちピクセル $P11 \sim Pnm$ がマトリクス状に配された構成となる。なお、図4は1ピクセルを構成するエミッタEを抽出した図であり、図1に示す1ピクセルを構成するエミッタEとは、実際には図4のように多数のエミッタコーンで形成されることになる。

【0015】ゲートGTについては1水平ライン毎に、垂直方向に $m$ 個のゲート電極 $G1 \sim Gm$ が形成されており、ゲート電極 $G1 \sim Gm$ が1水平ライン期間毎に順次オンとされることにより、いわゆる画像の垂直走査が行なわれることになる。またエミッタEは垂直方向の並び毎にカソード電極 $C1 \sim Cn$ に接続されている。従って、例えばゲート電極 $G1$ がオンとされる期間に、カソード電極 $C1 \sim Cn$ にビデオ信号の1水平ラインを構成する各画素に応じた信号が印加されることで、ピクセル $P11, P21, P31 \dots Pn1$ の電界放出動作が行なわれ、これが図1には示していないアノード電極A側に捕集されて蛍光体に衝突することにより、発光動作が行なわれる。即ち画像を構成する1ラインの発光が行なわれる。以降水平期間毎にゲート電極 $G2, G3 \dots Gm$ が順次オンとされ、各水平期間には、カソード電極 $C1 \sim Cn$ にその水平期間に相当するビデオ信号に応じた信号が印加されていくことで、1枚の画像表示が実行される。

【0016】入力端子1にはビデオ信号 $S_v$ が供給さ

れ、このビデオ信号 $S_v$ はビデオアンプ2で増幅され、シフトレジスタ5に供給される。またビデオアンプ2の出力は $V/I$ 補正回路3にも供給され、 $V/I$ 補正回路3でビデオ信号 $S_v$ に対する所定の特性補正処理が行なわれてビデオアンプ2にフィードバックされる構成となっている。

【0017】シフトレジスタ5は例えばCCD（チャージカップルドデバイス）を用いたアナログシフトレジスタとして構成され、いわゆるシリアル入力形態となるアナログビデオ信号について、端子4から供給されるビデオクロック $CK_v$ に基づいてシフト動作を行なう。そしてパラレルアウト形態で、ビデオ信号 $S_v$ の1水平ライン毎にビデオ信号 $S_v$ をサンプルホールド回路6に対して出力する。即ち1水平ラインタイミング毎に、1水平ラインの各画素を構成するビデオ信号が同時にサンプルホールド回路6に供給され、その1水平ライン期間にサンプルホールド回路6でサンプリングされた電圧値がホールド出力されることになる。

【0018】なお、シフトレジスタ5の動作周波数としては、表示画素としてのピクセルサイズが例えば $240 \times 320$ ピクセルである場合は、 $240 \times 320 \times (60 \sim 120 \text{ フレーム})$ で、 $460 \text{ KHz} \sim 920 \text{ KHz}$ となり、また例えば $480 \times 640$ ピクセルである場合は、 $480 \times 640 \times (60 \sim 120 \text{ フレーム})$ で、 $18.4 \text{ MHz} \sim 36.8 \text{ MHz}$ となる。さらに、 $1024 \times 768$ ピクセルの場合は、 $1024 \times 768 \times 60 \text{ フレーム})$ で、 $47.1 \text{ MHz}$ 以上（フルカラーの場合はさらに3倍）となり、このような場合は、シフトレジスタ5を複数単位で設ける等の必要がある。

【0019】サンプルホールド回路6には、いわゆる画像表示のための垂直走査を行なうゲートドライバ11からラッチ信号 $RC$ が供給されており、このラッチ信号 $RC$ で規定される期間、即ち1水平期間毎に、その1水平ラインのビデオ信号の書き換えを行なう。サンプルホールド回路6はいわゆるアナログラッチ回路として構成することができ、この場合、一般的に使用されているようにCCDの出力回路とアナログスイッチとコンデンサの構成で、ゲートドライバ11のオン期間（ラッチ期間： $30 \sim 60 \mu \text{ sec}$ ）において、初期値の90%以上の電圧出力が保たれよい。

【0020】ゲートドライバ11は上述したように各ゲート電極 $G_1 \sim G_m$ を順次オンとする垂直走査を実行するために、水平ライン数 $m$ と同数の $m$ ビットのリングカウンタと、高圧プッシュプル出力回路（ $80 \sim 150 \text{ V}$ ）で構成される。そしてリングカウンタのカウント値に応じて選択されるゲート電極に対して高圧プッシュプル出力回路による電圧印加を行ない、そのゲート電極をオンとする。また、1水平ライン期間の終了毎にラッチ信号 $RC$ をサンプル/ホールド回路6に送り、次の水平ラインのビデオ信号のホールド出力を実行させるとも

に、リングカウンタを1ビットシフトさせ、次のゲート電極をオンとする動作にうつる。

【0021】サンプル/ホールド回路6からのホールド出力電圧は、電界効果トランジスタであるMOS型FET $7_1 \sim 7_n$ のゲートに印加される。そしてMOS型FET $7_1 \sim 7_n$ のドレイン電流がドライブ電流として各カソード電極 $C_1 \sim C_n$ に供給されるように構成されている。なお、 $7_1 \sim 7_n$ はサンプル/ホールド回路6からのホールド出力を1水平期間内において変化することなく保持できるように絶縁ゲートを有するMOS型FETとするのが好適である。

【0022】FET素子のドレイン-ソース間電圧 $V_{ds}$ とドレイン電流 $I_d$ の特性としては、一般に図2に示すような定電流特性が知られている。本例は、このようなFETの定電流特性を利用して、カソード電流を、ビデオ信号に応じて無段階変調するものである。例えばゲート電極 $G_1$ のオン期間に、ピクセル $P_{11}$ ,  $P_{21}$ ,  $P_{31} \dots P_{n1}$ に対するカソード電流としては、各ピクセルの特性に殆ど関係なく、MOS型FET $7_1 \sim 7_n$ のゲート電圧で決まる電流が流れることになる。MOS型FET素子のゲート-ソース間電圧 $V_{gs}$ とドレイン電流 $I_d$ の特性は一般的に図3のように非線形となるが、従ってゲート電圧となるビデオ信号 $S_v$ に対して、この特性とは逆特性となる特性を与えることで、入力端子1に入力されるビデオ信号 $S_v$ の電圧値に応じて無段階に線形に変調されたカソード電流が得られることになる。このためのビデオ信号 $S_v$ の特性処理は $V/I$ 補正回路3及びビデオアンプ2で行なわれる。

【0023】FEC表示部12における各ピクセルのゲート-カソード間電圧 $V_{gc}$ とアノード電流 $I_a$ の特性は上述したように図5のようになるが、最大輝度は $V_{op}$ ,  $I_{op}$ に設定されるとする。ビデオアンプ2のゲインとしては、MOS型FET $7_1 \sim 7_n$ の図2に示すドレイン-ソース間電圧 $V_{ds}$ が湾曲点の手前、即ち $1 \sim 3 \text{ V}$ の電圧となるように調整する。つまりFET素子の定電流特性領域を用いることができるようにする。

【0024】そして $V/I$ 補正回路3では、ビデオ信号 $S_v$ に対して例えば対数圧縮処理を施し、図3のFET素子のゲート-ソース間電圧 $V_{gs}$ とドレイン電流 $I_d$ の特性とは逆特性が与えられるようにし、そのように処理されたビデオ信号 $S_v$ がMOS型FET $7_1 \sim 7_n$ のゲートに印加されるようにする。すると、カソード電極 $C_1 \sim C_n$ に流れる電流は、入力端子1に入力されるビデオ信号 $S_v$ の電圧値に対してリニアな特性となり、つまりビデオ信号 $S_v$ に応じて無段階に線形に変調されたカソード電流が得られる。

【0025】FED表示部12での輝度は、アノード電力に比例する。アノード電圧は通常一定とすることから、輝度はアノード電流に比例し、アノード電流はほぼカソード電流と同じとなる。そして、図5に示すような

FET特性での閾値電圧 $V_{th}$ の値及び特性カーブが各ピクセルでばらついて、カソード電流が小さかった場合は、MOS型FET $7_1 \sim 7_n$ のソースに接続されたソース抵抗 $8_1 \sim 8_n$ の電圧降下が小さくなり、そのMOS型FETのゲートソース間電圧 $V_{gs}$ が上昇することになる。また、カソード電流が大きい場合は逆の動作を行う。これにより、カソード電流は上昇し、ゲート電圧で決まるカソード電流をMOS型FET $7_1 \sim 7_n$ は供給することになる。

【0026】カソード電流が変化すれば、輝度はそれに応じて変化するため、つまり本例では、ビデオ信号 $S_v$ に応じて無段階に変調されたカソード電流により、ビデオ信号 $S_v$ に応じた無段階階調表現が実現されることになる。この場合、当然ながら従来のPWM変調のような階調の多段階化への制限もなく、また図5の特性のバラツキの影響もないため、表示画像の品位を飛躍的に向上させることができる。

【0027】なお、ダイオード $9_1 \sim 9_n$ 及びクランプ電圧発生回路10は、FET $7_1 \sim 7_n$ の保護用のクランプ動作を行なうべく設けられている。クランプ電圧はFET素子の最大定格より低く、図5の $V_{op} - V_{th}$ より高くしないと漏れ発光が発生する。またFET $7_1 \sim 7_n$ のソース抵抗 $8_1 \sim 8_n$ は、前述したようにMOS型FET $7_1 \sim 7_n$ の特性のバラツキの補正用である。

【0028】ところで、 $V/I$ 補正回路3の処理のみでは特性補正が不十分であるときなどは、ビデオ信号 $S_v$ に対して $A/D$ 変換、補正演算、 $D/A$ 変換を行なう補正回路系を設け、デジタル演算による補正を行なうようにしてもよい。このような場合は、各FET $7_1 \sim 7_n$ 毎、各ピクセル毎に対応した特性補正も可能となる。またデジタル演算補正により各FET $7_1 \sim 7_n$ 毎での特性補正を行なう場合は、特性バラツキ補正のための上記のソース抵抗 $8_1 \sim 8_n$ は不要となる。

【0029】さらにビデオ信号 $S_v$ の特性補正のためには、各ピクセル $P_{11} \sim P_{nm}$ までの特性を予めテーブルデータとしてメモリに保持しておき、それに基づいて補正を実行するようにすることもできる。

【0030】次に本発明の第2の実施の形態としての有機EL表示装置を図6～図8で説明する。有機EL表示装置に用いられる有機EL発光素子の構造を図7に示す。有機EL発光素子は、ガラス基板101上に形成された薄膜状の透明のITO電極102と、このITO電極102を覆うように形成されたホール輸送層103と、このホール輸送層103上に薄膜状に形成された発光層104と、発光層104上に形成された上部電極105とから構成されている。

【0031】このように構成された有機EL発光素子においては、上部電極105がいわゆるカソード電極となり、ITO電極102がアノード電極となる。そして上部電極105にマイナス、ITO電極102にプラスの

直流電圧を印加すると、ITO電極102から注入されたホールはホール輸送層103により輸送されて発光層104に注入される。一方、上部電極105から発光層104に電子が注入されており、この注入された電子と、ホール輸送層103から注入されたホールとが発光層104内において再結合される。この再結合により、発光層104が発光するようになり、この発光は透光性のホール輸送層103、ITO電極、およびガラス基板101を介して観察することができる。

【0032】この場合、直流電源の電圧が10ボルト以下で $1000 [cd/cm^2]$ 以上の発光を得ることができる。なお、ホール輸送層103は一般にトリフェニルジアミン(TPD)を材料として形成されており、発光層104は一般にアルミキノリノール錯体( $Alq_3$ )により形成されている。また、ホール輸送層103および発光層104からなる有機EL媒体に替えて、発光性ポリマーからなる一層構造の発光層を用いることもできる。

【0033】このようなEL発光素子の発光原理を利用して有機エレクトロルミネセント表示装置を構成するには、下部電極であるITO電極102をストライプ状に複数本形成すると共に、このストライプ状のITO電極102に直交するように上部電極105をストライプ状に複数本形成し、ITO電極と上部電極とでマトリクスを形成するようにする。つまりカソード電極とアノード電極をマトリクス状に形成することになる。そして、このマトリクスを駆動回路により走査して、マトリクスの交点に形成されている画素の発光を順次画像信号で制御することにより、画像を表示するようによればよい。

【0034】このような原理による有機EL表示装置のブロック図を図6に示す。表示領域を形成する有機EL表示部22は、カソード電極 $C_1 \sim C_n$ （つまり図7の上部電極105）と、アノード電極 $A_1 \sim A_m$ （つまり図7のITO電極102）がマトリクス状に配され、発光画素として $n \times m$ 個のピクセル $P_{11} \sim P_{nm}$ が形成される。

【0035】そしてアノード電極 $A_1 \sim A_m$ がアノードドライバ21によって1水平ライン期間毎に順次オンとされることにより、いわゆる画像の垂直走査が行なわれることになり、また各水平ライン期間にカソード電極 $C_1 \sim C_n$ に、ビデオ信号の1水平ラインを構成する各画素の信号電圧に応じたカソード電流が流れることで、画像表示が実行される。

【0036】例えばアノード電極 $A_1$ がオンとされる期間に、カソード電極 $C_1 \sim C_n$ にビデオ信号の1水平ラインを構成する各画素に応じた信号が印加されることで、ピクセル $P_{11}$ 、 $P_{21}$ 、 $P_{31} \dots P_{n1}$ の発光動作が行なわれる。即ち画像を構成する1ラインの発光が行なわれる。以降水平期間毎にアノード電極 $A_2$ 、 $A_3 \dots A_m$ が順次オンとされ、各水平期間には、カソ

ード電極C1～Cnにその水平期間に相当するビデオ信号に応じた信号が印加されていくことで、1枚の画像表示が実行される。

【0037】入力端子1にはビデオ信号Svが供給され、このビデオ信号Svはビデオアンプ2で増幅され、シフトレジスタ5に供給される。またビデオアンプ2の出力はV/I補正回路3にも供給され、V/I補正回路3でビデオ信号Svに対する所定の特性補正処理が行なわれてビデオアンプ2にフィードバックされる構成となっている。

【0038】これらのビデオアンプ2、V/I補正回路3、及びシフトレジスタ5、サンプルホールド回路6の構成/動作については、上述の第1の実施形態における図1の場合と同様である。即ちビデオアンプ2からのビデオ信号Svはシフトレジスタ5にシリアル入力され、ビデオクロックCKvに基づいたシフト動作により、パラレルアウト形態で、ビデオ信号Svの1水平ライン毎にサンプルホールド回路6に出力される。そして、1水平ラインの各画素を構成するビデオ信号の電圧値がサンプルホールド回路6からホールド出力される。サンプルホールド回路6でのホールド出力は、画像表示のための垂直走査を行なうアノードドライバ21からラッチ信号RCに基づいて行なわれる。

【0039】アノードドライバ21は、図1におけるゲートドライバ11と同様の垂直走査として各アノード電極A1～Amを順次オンとするために、水平ライン数mと同数のmビットのリングカウンタと、プッシュプル出力回路（5～30V）で構成される。そしてリングカウンタのカウント値に応じて選択されるアノード電極に対してプッシュプル出力回路による電圧印加を行ない、そのアノード電極をオンとする。また、1水平ライン期間の終了毎にラッチ信号RCをサンプル/ホールド回路6に送り、次の水平ラインのビデオ信号のホールド出力を実行させるとともに、リングカウンタを1ビットシフトさせ、次のアノード電極をオンとする動作にうつる。

【0040】この例でも上述した第1の実施形態例と同様に、サンプル/ホールド回路6からのホールド出力電圧は、MOS型のFET7<sub>1</sub>～7<sub>n</sub>のゲートに印加される。そしてMOS型FET7<sub>1</sub>～7<sub>n</sub>のドレイン電流がドライブ電流として各カソード電極C1～Cnに供給されるように構成されている。

【0041】本例も図2に示したような、FETの定電流特性を利用して、カソード電流を、ビデオ信号に応じて無段階変調するものである。有機EL表示部22における各ピクセルのアノード-カソード間電圧V<sub>ec</sub>とアノード電流I<sub>d</sub>の特性は図8のようになるが、最大輝度はV<sub>op</sub>、I<sub>op</sub>に設定されたとすると、この場合に、ビデオアンプ2のゲインは、MOS型FET7<sub>1</sub>～7<sub>n</sub>の図2に示すドレイン-ソース間電圧V<sub>ds</sub>が湾曲点の手前、即ち1～3Vの電圧となるように調整される。

【0042】そしてV/I補正回路3では、ビデオ信号Svに対して例えば対数圧縮処理を施し、図3のFET素子のゲート-ソース間電圧V<sub>gs</sub>とドレイン電流I<sub>d</sub>の特性とは逆特性が与えられるようにし、そのように処理されたビデオ信号SvがMOS型FET7<sub>1</sub>～7<sub>n</sub>のゲートに印加されるようにする。すると、カソード電極C1～Cnに流れる電流は、入力端子1に入力されるビデオ信号Svの電圧値に対してリニアな特性となり、つまりビデオ信号Svに応じて無段階に変調されたカソード電流が得られる。

【0043】有機EL表示部22での輝度はアノード電流に比例し、アノード電圧を一定とした場合、輝度はアノード電流に比例する。そしてアノード電流はほぼカソード電流と同じとなる。図8に示すような有機EL表示部22のアノード電流特性での閾値電圧V<sub>th</sub>の値及び特性カーブが各ピクセルでばらついて、カソード電流が小さかった場合は、MOS型FET7<sub>1</sub>～7<sub>n</sub>のソースに接続されたソース抵抗8<sub>1</sub>～8<sub>n</sub>の電圧降下が小さくなり、そのMOS型FETのゲート-ソース間電圧V<sub>gs</sub>が上昇することになる。また、カソード電流が大きい場合は逆の動作を行う。これにより、カソード電流は上昇し、ゲート電圧で決まるカソード電流をMOS型FET7<sub>1</sub>～7<sub>n</sub>は供給することになる。

【0044】そしてカソード電流が変動すれば、輝度はそれに応じて変化するため、本例でも、ビデオ信号Svに応じて無段階に変調されたカソード電流により、ビデオ信号Svに応じた無段階階調表現が実現されることになる。そして従来のPWM変調のような階調の多段階化への制限もなく、また図8の特性のバラツキの影響もないため、表示画像の品位を飛躍的に向上させることができる。

【0045】なおこの例でも、FET7<sub>1</sub>～7<sub>n</sub>のソース抵抗8<sub>1</sub>～8<sub>n</sub>は、FET7<sub>1</sub>～7<sub>n</sub>の特性のバラツキの補正用である。また、第1の実施形態の場合と同様に、V/I補正回路3の処理のみでは特性補正が不十分であるときなどは、ビデオ信号Svに対してA/D変換、補正演算、D/A変換を行なう補正回路系を設け、デジタル演算による補正を行なうようにしてもよい。そしてデジタル演算補正により各FET7<sub>1</sub>～7<sub>n</sub>毎での特性補正を行なう場合は、特性バラツキ補正のためのソース抵抗8<sub>1</sub>～8<sub>n</sub>は不要となる。もちろんこの場合も、ビデオ信号Svの特性補正のために、各ピクセルP11～Pnmまでの特性を予めテーブルデータとしてメモリに保持しておき、それに基づいて補正を実行するようにすることもできる。

【0046】

【発明の効果】以上説明したように本発明のFED表示装置、有機エレクトロルミネセンス表示装置は、表示駆動回路において、各カソード電極に対してFET素子が設けられ、各FET素子のゲートに印加されるビデオ信



号の電圧に応じて得られるドレイン電流がドライブ電流として各カソード電極に供給されるように構成し、さらに各FET素子に印加するビデオ信号に対して、FET素子のゲートソース電圧—ドレイン電流特性の逆特性を与えるビデオ信号補正回路を設けているため、FET素子の定電流特性を利用し、入力されるビデオ信号レベルとドライブ電流との間で直線性特性を実現している。従ってビデオ信号レベルに応じてカソード電流が無段階にコントロールされ、つまりビデオ信号に応じた無段階の階調表現が実現されるという効果があり、これによって表示画像の品位を飛躍的に向上させることができる。

#### 【図面の簡単な説明】

【図1】 本発明の実施の形態のFED表示装置のブロック図である。

【図2】 FETの $V_{DS}-I_D$ 特性の説明図である。

【図3】 FETの $V_{GS}-I_D$ 特性の説明図である。

【図4】 FEDの構造の説明図である。

【図5】 FEDの $V_{GC}-I_e$ 特性の説明図である。

【図6】 本発明の実施の形態の有機EL表示装置のブロック図である。

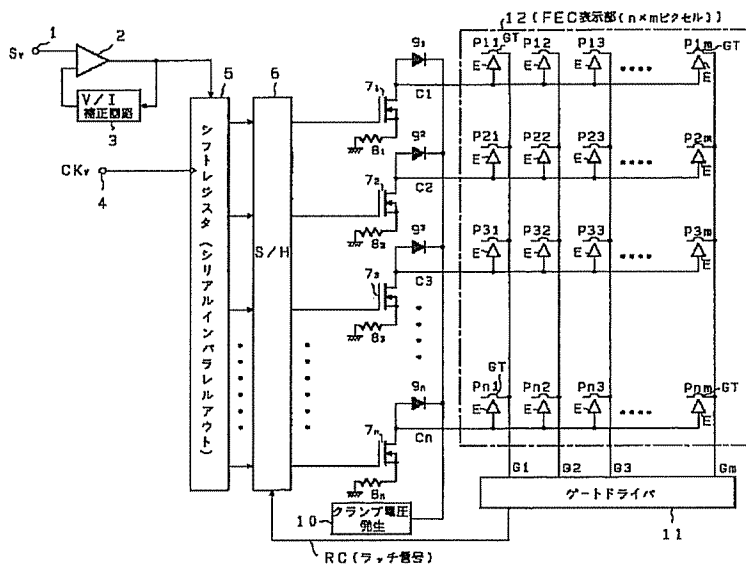
【図7】 有機EL表示部の構造の説明図である。

【図8】 有機EL表示部の $V_{EC}-I_e$ 特性の説明図である。

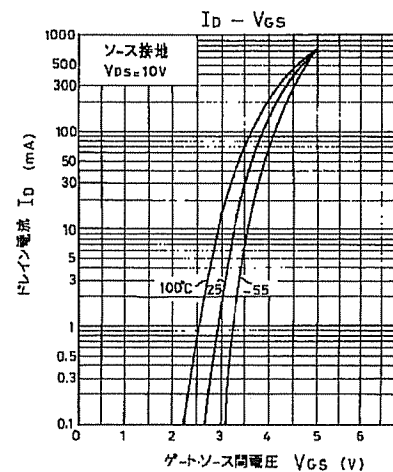
#### 【符号の説明】

- 2 ビデオアンプ
- 3  $V/I$ 補正回路
- 5 シフトレジスタ
- 6 サンプル／ホールド回路
- 7<sub>1</sub>～7<sub>n</sub> FET
- 11 ゲートドライバ
- 12 FEC表示部
- 21 アノードドライバ
- 22 有機EL表示部
- C1～C<sub>n</sub> カソード電極
- G1～G<sub>m</sub> ゲート電極
- A1～A<sub>m</sub> アノード電極

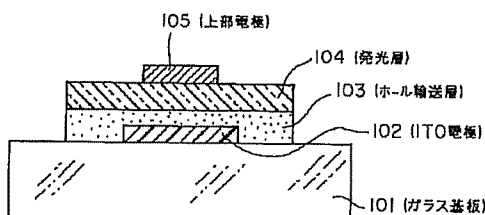
【図1】



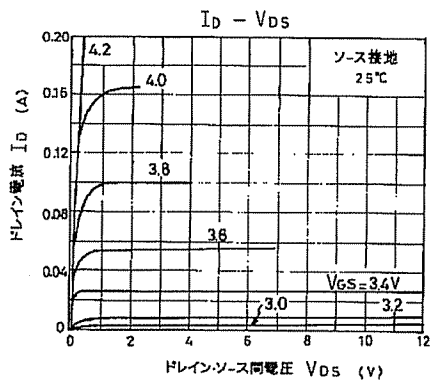
【図3】



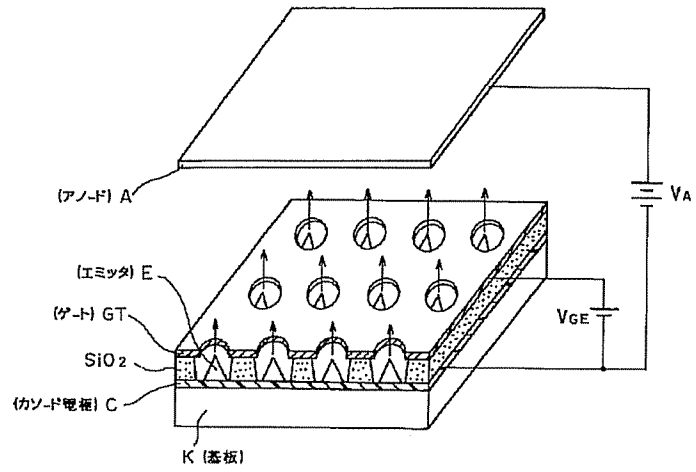
【図7】



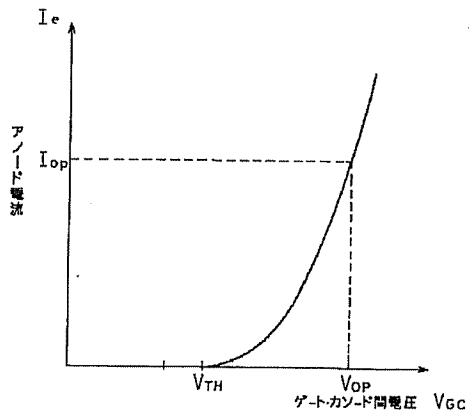
【図2】



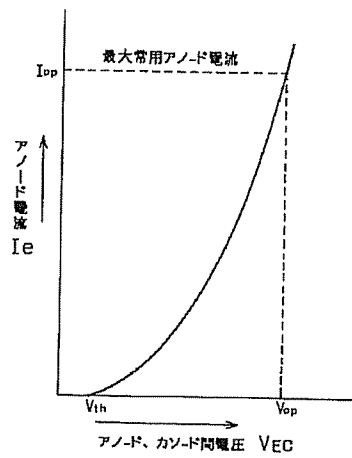
【図4】



【図5】



【図8】



【図6】

